

《计算机组成原理》实验报告

年级、专业、班级	2017 级计算机科学与技术(卓越)01 班	姓名	吕昱峰
实验题目	实验一简单流水线与运算器实验		
实验时间	2019 年 11 月 8 日	实验地点	A 主 404
实验成绩	优秀/良好/中等	实验性质	<input type="checkbox"/> 验证性 <input checked="" type="checkbox"/> 设计性 <input type="checkbox"/> 综合性
教师评价: <input type="checkbox"/> 算法/实验过程正确; <input type="checkbox"/> 源程序/实验内容提交; <input type="checkbox"/> 程序结构/实验步骤合理; <input type="checkbox"/> 实验结果正确; <input type="checkbox"/> 语法、语义正确; <input type="checkbox"/> 报告规范; 其他: <p style="text-align: right;">评价教师: 钟将</p>			
实验目的 (1)理解流水线 (Pipeline) 设计原理; (2)了解算术逻辑单元 ALU 的原理; (3)熟悉并运用 Verilog 语言设计 ALU; (4)熟悉并运用 Verilog 语言设计流水线全加器;			

报告完成时间: 2022 年 3 月 17 日

1 实验内容

1.1 ALU 设计实验

实验要求实现以下算术运算功能,其对应的控制码及功能如下:

F _{2:0}	功能	F _{2:0}	功能
000	A + B(Unsigned)	100	\bar{A}
001	A - B	101	SLT
010	A AND B	110	未使用
011	A OR B	111	未使用

表 1: 算数运算控制码及功能

实验要求:

1. 根据 ALU 原理图,使用 Verilog 语言定义 ALU 模块,其中输入输出端口参考实验原理,运算指令码长度为 [2:0]。
2. 内置一个 32 位 num2(值为 32h'01)作为输入到运算器端口 A;
3. 将 sw0-sw7 输入到 num1,经过无符号扩展至 32 位后,输入到运算器的端口 B;
4. 运算器支持“加、减、与、或、非”5 种运算,需要 3 位(8 个操作)。将 sw15-sw14 输入到 op 作为运算器的控制信号;
5. 实现 SLT 功能。
6. 将计算 32 位结果 s 显示到七段数码管(16 进制)。
7. 验证表 1 中所有功能。
8. 给出 RTL 源程序(.v 文件)

1.2 流水线实验

本次实验为仿真实验,设计完成后仅需进行**行为仿真**。

实验要求:

1. 实现 4 级流水线 8bit 全加器,需带有流水线暂停和刷新;
2. 模拟流水线暂停,仿真时控制 10 周期后暂停流水线 2 周期(第 2 级),流水线恢复流动;
3. 模拟流水线刷新,仿真时控制 15 周期时流水线刷新(第 3 级)。

2 实验设计

这一节,主要描述各个模块的功能、接口、逻辑控制方法(状态机控制方法)等。(红字为内容说明,请删除)

2.1 ALU

2.1.1 功能描述

简单描述实现的功能即可,一句话亦可 (红字为内容说明,请删除)

2.1.2 接口定义

接口定义请使用表格,需要包括接口信号名、方向、宽度、含义 (红字为内容说明,请删除)

表 2: 接口定义模版

信号名	方向	位宽	功能描述
valid	Output	1-bit	If CPU stopped or any exception happens, valid signal is set to 0.

2.1.3 逻辑控制

逻辑控制部分仅需要写清重点控制逻辑,或自行添加的优化逻辑 (红字为内容说明,请删除)

2.2 有阻塞 4 级 8bit 全加器

2.2.1 功能描述

2.2.2 接口定义

2.2.3 逻辑控制

3 实验过程记录

记录实验的过程,完成了什么样的工作,存在的问题包括哪些,解决方案如何等。subsection 名称自行设定。记录实验的过程,完成了什么样的工作,存在的问题包括哪些,解决方案如何等。subsection 名称自行设定。(红字为内容说明,请删除)

3.1 问题 1:xxxxxxx

问题描述:xxxxxxx

解决方案:xxxxxxx

4 实验结果及分析

4.1 ALU 验证实验结果

操作	Num1	Result
A + B(Unsigned)	8'b00000010	
A - B	8'b11111111	
A AND B	8'b11111110	
A OR B	8'b10101010	
\bar{A}	8'b11110000	
SLT	8'b10000001	

表 3: ALU 结果表

4.2 流水线阻塞(暂停)仿真图

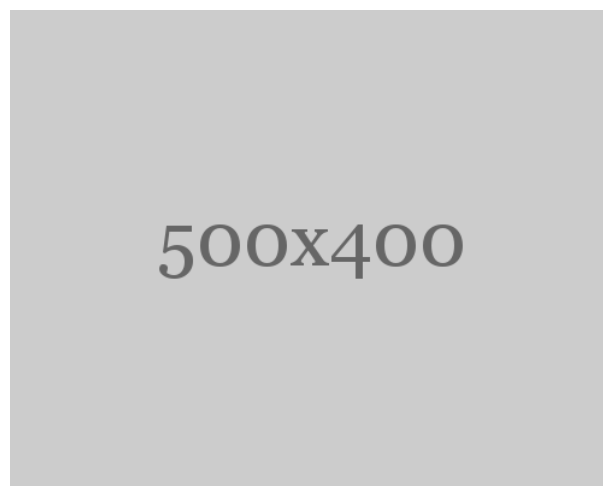


图 1: 占位图

4.3 流水线刷新(清空)仿真图

A ALU 代码

仅需要 alu.v, 填充至 lstlisting 中 (红字为内容说明, 请删除)

B 8bit 全加器代码

仅需要 stallable_pipeline_adder.v, 填充至 lstlisting 中 (红字为内容说明, 请删除)